

3/5/2

DIALOG(R)File 351:Derwent WPI
(c) 2004 THOMSON DERWENT. All rts. reserv.

013766369 **Image available**
WPI Acc No: 2001-250580/*200126*
XRPX Acc No: N01-178907

**Metal insulator semiconductor field effect transistor manufacturing
method involves forming gate electrode at portion from where dummy gate
is removed**

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ); MITSUBISHI DENKI KK
(MITQ)

Inventor: INOUE Y; ITOH Y; ODA H

Number of Countries: 002 Number of Patents: 002

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|---------------|------|----------|---------------|------|----------|----------|
| JP 2001044421 | A | 20010216 | JP 99211800 | A | 19990727 | 200126 B |
| US 6235564 | B1 | 20010522 | US 2000487620 | A | 20000120 | 200130 |

Priority Applications (No Type Date): JP 99211800 A 19990727

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|-----------|------|-----|----|----------|--------------|
|-----------|------|-----|----|----------|--------------|

| | | | | | |
|---------------|---|--|----|-------------|--|
| JP 2001044421 | A | | 17 | H01L-029/78 | |
|---------------|---|--|----|-------------|--|

| | | | | | |
|------------|----|--|--|--------------|--|
| US 6235564 | B1 | | | H01L-021/338 | |
|------------|----|--|--|--------------|--|

Abstract (Basic): *JP 2001044421* A

NOVELTY - A dummy gate (3B) is formed on a gate insulating film (2) formed on a substrate (1). An insulation film is formed by impurity injection using dummy gate as mask. Insulation film is selectively removed to maintain insulating film only at side of dummy gate. Dummy gate, remaining insulation film and gate insulating film are removed. The gate electrode is formed at area from which dummy gate is removed.

USE - For manufacture of metal insulator semiconductor field effect transistor (MISFET).

ADVANTAGE - Equalizes height of dummy gate with that of insulation film by avoiding lift off process for insulation film removal. Reduces damage of substrate by simplifying dummy gate formation. Forms gate electrode with length lesser than threshold value. Reduces damage of gate insulating film.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of MISFET.

Substrate (1)

Gate insulating film (2)

Dummy gate (3B)

pp; 17 DwgNo 1/49

Title Terms: METAL; INSULATE; SEMICONDUCTOR; FIELD; EFFECT; TRANSISTOR;
MANUFACTURE; METHOD; FORMING; GATE; ELECTRODE; PORTION; DUMMY; GATE;
REMOVE

Derwent Class: U11

International Patent Class (Main): H01L-021/338; H01L-029/78

International Patent Class (Additional): H01L-021/336

File Segment: EPI



Document Summary



New
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link: 

Document ID: J P 2001-044421 A2

Title: MANUFACTURE OF MISFET

Assignee: MITSUBISHI ELECTRIC CORP

Inventor: ITOU YASUYOSHI
INOUE YASUAKI
ODA SHUICHI

US Class:

Int'l Class: H01L 29/78 A; H01L 21/336 B

Issue Date: 02/16/2001

Filing Date: 07/27/1999

Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for an MISFET, where a gate electrode comprising a metal film as a whole is manufactured without consideration for etching selectivity between a gate electrode material, and a gate insulting film material.

SOLUTION: On a semiconductor substrate 1, where a gate insulating film 2 is formed, a dummy gate 3B of a material comprising etching selectivity with respect to the material of the gate insulating film 2 is formed. After an impurity injection process, an interlayer insulating film 7 of a material comprising etching selectivity with respect the material of the dummy gate 3B is formed on the side surface of the dummy gate 3B. Then the dummy gate 3B is removed by etching, and a gate electrode material comprising a metal film is embedded in a part where the dummy gate 3B was present. By narrowing the dummy gate 3B stepwise in the impurity injection process, formation of an LDD region, etc., or a patterning beyond the dimension limit for a photolithography technology is enabled.

(C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-44421

(P2001-44421A)

(43)公開日 平成13年2月16日(2001.2.16)

| | | | |
|--------------------------|------|---------------|------------------------|
| (51)Int.Cl. ⁷ | 識別記号 | F I | テームト [*] (参考) |
| H 0 1 L 29/78 | | H 0 1 L 29/78 | 3 0 1 G 5 F 0 4 0 |
| 21/336 | | | 3 0 1 L |
| | | | 3 0 1 P |

審査請求 未請求 請求項の数7 O L (全 17 頁)

(21)出願番号 特願平11-211800

(22)出願日 平成11年7月27日(1999.7.27)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 伊藤 康悦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 井上 靖朗

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

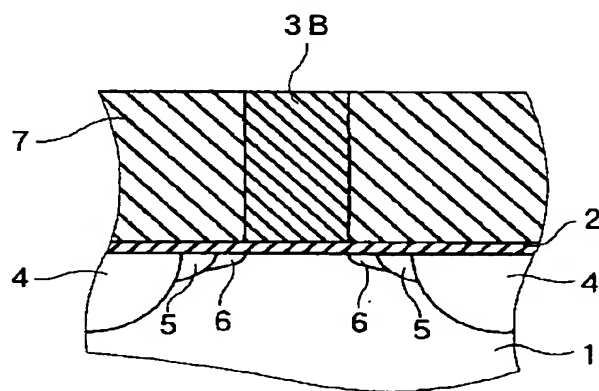
最終頁に続く

(54)【発明の名称】 MISFETの製造方法

(57)【要約】

【課題】 ゲート電極材料とゲート絶縁膜材料との間のエッチング選択性を考慮することなく、全体が金属膜からなるゲート電極を製造することが可能なMISFETの製造方法を実現する。

【解決手段】 ゲート絶縁膜2を形成した半導体基板1上に、ゲート絶縁膜2の材料に対しエッチング選択性を有する材料からなるダミーゲート3Bを形成する。そして、不純物注入工程を経た後にダミーゲート3Bの材料に対しエッチング選択性を有する材料からなる層間絶縁膜7をダミーゲート3Bの側面に形成して、その後ダミーゲート3Bをエッチングにより除去し、ダミーゲート3Bの存在した部分に金属膜からなるゲート電極材料を埋め込む。なお、不純物注入工程においてダミーゲートを段階的に細めてゆくことで、LDD領域等の形成やフォトリソグラフィ技術のパターニング寸法限界以下のパターニングが可能になる。



1

【特許請求の範囲】

【請求項 1】 半導体基板を準備する第 1 の工程と、
前記半導体基板の表面にゲート絶縁膜を形成する第 2 の工程と、
前記ゲート絶縁膜の表面にダミーゲートを形成する第 3 の工程と、
前記ダミーゲートをマスクとして用いつつ自己整合的に前記半導体基板に不純物を注入する第 4 の工程と、
前記半導体基板の全面に層間絶縁膜を形成する第 5 の工程と、
前記層間絶縁膜を薄膜化することにより前記ダミーゲートの側面にのみ前記層間絶縁膜を残す第 6 の工程と、
前記層間絶縁膜および前記ゲート絶縁膜を残しつつ前記ダミーゲートを除去する第 7 の工程と、
前記ダミーゲートの除去された部分にゲート電極を形成する第 8 の工程とを備える M I S F E T の製造方法。

【請求項 2】 前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートおよび前記層間絶縁膜のそれぞれの材料に採用し、
前記第 7 の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせて前記ダミーゲートにエッチングを施す工程を備える、請求項 1 記載の M I S F E T の製造方法。

【請求項 3】 前記ダミーゲートのゲート長を減少させる第 9 の工程をさらに備える、請求項 1 記載の M I S F E T の製造方法。

【請求項 4】 前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートおよび前記層間絶縁膜のそれぞれの材料に採用し、
前記第 7 の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせて前記ダミーゲートにエッチングを施す工程を備え、
前記第 9 の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間でエッチング選択性を持たせて前記ダミーゲートに等方性エッチングを施す工程を備える、請求項 3 記載の M I S F E T の製造方法。

【請求項 5】 前記ダミーゲートは上部および下部を備え、
前記第 9 の工程においてゲート長を減少させるのは前記ダミーゲートの前記下部のみである、請求項 3 記載の M I S F E T の製造方法。

【請求項 6】 前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間、および前記ダミー

2

ゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートの前記上部および下部並びに前記層間絶縁膜のそれぞれの材料に採用し、

前記第 7 の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッチング選択性を持たせて前記ダミーゲートの前記上部および下部にエッチングを施す工程を備え、

前記第 9 の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間でエッチング選択性を持たせて前記ダミーゲートの前記下部に等方性エッチングを施す工程を備える、請求項 5 記載の M I S F E T の製造方法。

【請求項 7】 前記第 4 および第 9 の工程を前記第 5 の工程に先立って複数回繰り返す、請求項 3 乃至 6 のいずれかに記載の M I S F E T の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) の製造方法に関し、特に金属膜のみでゲート電極を構成した M I S F E T の製造方法に関するものである。

【0002】

【従来の技術】 近年の半導体デバイスにおいては高速化、高集積化が要求され、そのため M I S F E T のゲート電極のパターンも微細化されつつある。しかし、ゲート電極のパターンが微細化すると電気抵抗値が上昇してしまう。これに対する対策として、従来、主流であったポリシリコン膜のみからなるゲート電極にかわって、ポリシリコン膜の上にタングステン等の高融点金属とシリコンとの化合物の膜（シリサイド膜）を形成した構造のポリサイド膜をゲート電極に採用することが行われつつある。

【0003】 しかし、微細化がさらに進んだときに、ポリサイド膜ではゲート電極の電気抵抗値を充分には低くできない。よって、化合物であるシリサイド膜ではなく金属膜そのものをポリシリコン膜の上に積層する構造も検討されている（例えば特開平 9-246543 号公報に記載の技術がその例である）。

【0004】 だが、さらにゲート電極の電気抵抗値を下げようとするれば、ポリシリコン膜を用いずにゲート電極全体を金属膜で形成することが望ましい。

【0005】 そこで、金属膜からなるゲート電極を従来の技術を用いて製造する場合、以下のような方法が考え

3

られる。すなわち、図 48 に示すように半導体基板 1 の表面にゲート絶縁膜材料 2 と金属膜であるゲート電極材料 11 とフォトレジスト 10 とを形成し、フォトレジスト 10 をパターニングする。その後、パターニングしたフォトレジスト 10 をマスクとしてエッチングを行い、ゲート電極材料 11 をゲート電極に整形する。その後、図 49 に示すようにフォトレジスト 10 を除去して M I S ゲート構造を完成させる。

【0006】

【発明が解決しようとする課題】上記のような製造方法を用いる場合、以下の問題点が存在する。

【0007】タングステン等の金属膜からなるゲート電極材料 11 をエッチングする際、BCl₃や SF₆などのガスを使用したドライエッチングが採用されることが多いが、これらのガスに含まれるボロンやフッ素は酸素よりも反応性が高く、還元材として機能してしまう。そのため、ゲート絶縁膜材料 2 にシリコン酸化膜や酸素を含むその他の絶縁膜を採用すると、ボロンやフッ素がゲート絶縁膜材料 2 内に含まれる酸素と置換してシリコンと結合しようとする。その結果、ゲート電極材料 11 のエッチングの際にゲート絶縁膜材料 2 も除去され、さらには半導体基板 1 までもが削られてしまう可能性がある。すなわち、ゲート電極材料 11 とゲート絶縁膜材料 2 との間のエッチング選択性の確保が困難である。

【0008】本発明は、上記の問題を解決するためになされたものであり、ゲート電極材料とゲート絶縁膜材料との間のエッチング選択性を考慮することなく、全体が金属膜からなるゲート電極を製造することが可能な M I S F E T の製造方法を実現するものである。さらに、そのような M I S F E T の製造方法であって、フォトリソグラフィ技術のパターニング限界以下のゲート長を有するゲート電極を製造することが可能なものをも実現する。

【0009】

【課題を解決するための手段】この発明のうち請求項 1 にかかるものは、半導体基板を準備する第 1 の工程と、前記半導体基板の表面にゲート絶縁膜を形成する第 2 の工程と、前記ゲート絶縁膜の表面にダミーゲートを形成する第 3 の工程と、前記ダミーゲートをマスクとして用いつつ自己整合的に前記半導体基板に不純物を注入する第 4 の工程と、前記半導体基板の全面に層間絶縁膜を形成する第 5 の工程と、前記層間絶縁膜を薄膜化することにより前記ダミーゲートの側面にのみ前記層間絶縁膜を残す第 6 の工程と、前記層間絶縁膜および前記ゲート絶縁膜を残しつつ前記ダミーゲートを除去する第 7 の工程と、前記ダミーゲートの除去された部分にゲート電極を形成する第 8 の工程とを備える M I S F E T の製造方法である。

【0010】この発明のうち請求項 2 にかかるものは、請求項 1 記載の M I S F E T の製造方法であって、前記

4

ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートおよび前記層間絶縁膜のそれぞれの材料に採用し、前記第 7 の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせて前記ダミーゲートにエッチングを施す工程を備える。

【0011】この発明のうち請求項 3 にかかるものは、請求項 1 記載の M I S F E T の製造方法であって、前記ダミーゲートのゲート長を減少させる第 9 の工程をさらに備える。

【0012】この発明のうち請求項 4 にかかるものは、請求項 3 記載の M I S F E T の製造方法であって、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートおよび前記層間絶縁膜のそれぞれの材料に採用し、前記第 7 の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間でエッチング選択性を持たせて前記ダミーゲートに等方性エッチングを施す工程を備える。

【0013】この発明のうち請求項 5 にかかるものは、請求項 3 記載の M I S F E T の製造方法であって、前記ダミーゲートは上部および下部を備え、前記第 9 の工程においてゲート長を減少させるのは前記ダミーゲートの前記下部のみである。

【0014】この発明のうち請求項 6 にかかるものは、請求項 5 記載の M I S F E T の製造方法であって、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間、および前記ダミーゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートの前記上部および下部並びに前記層間絶縁膜のそれぞれの材料に採用し、前記第 7 の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッチング選択性を持たせて前記ダミーゲートの前記上部および下部にエッチングを施す工程を備え、前記第 9 の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間でエッチング選択性を持たせて前記ダミーゲート

7

れの場合であっても、ダミーゲート3Bの側面に層間絶縁膜7を形成できればよい。

【0026】そして、層間絶縁膜7およびゲート絶縁膜材料2を残置しつつダミーゲート3Bを除去する(図10)。ダミーゲート3Bとゲート絶縁膜材料2および層間絶縁膜7とは先述のようにエッチング選択性を有しているため、ダミーゲート3Bのみを除去することが可能である。ダミーゲート3Bにシリコン窒化膜を採用し、ゲート絶縁膜材料2および層間絶縁膜7にシリコン酸化膜を採用する場合、例えば熱リン酸を用いたウェットエッチングによりダミーゲート3Bの除去が行える。

【0027】続いて、ゲート絶縁膜材料2および層間絶縁膜7を覆うようにCVD法やスパッタ法等を用いてゲート電極材料8を形成する(図11)。ゲート電極材料8には、アルミニウム、タングステン、銅等の金属膜を用いればよい。もちろん従来のMISFETのように、不純物が注入されたポリシリコンやアモルファスシリコンをゲート電極材料8に用いることも可能である。

【0028】そして、ダミーゲート3Bの存在した部分にのみゲート電極材料8が残るように、エッチバックまたはCMP法を施して層間絶縁膜7上のゲート電極材料8を除去する(図12)。

【0029】これにより、全体が金属膜からなるゲート電極を備えたMISFETが完成する。

【0030】なお、上記工程において不均一チャネル注入領域6の形成を省略してもよい。その場合は、半導体基板1の表面に活性領域5を形成する図5に示した工程の後、図13～図17に示す工程を行えばよい。すなわち、図5に示した工程の後、ゲート絶縁膜材料2およびダミーゲート3Aを覆うように半導体基板1の全面にCVD法やスパッタ法等を用いて層間絶縁膜7を形成し(図13)、ダミーゲート3Aの頂部が露出するまで層

8

間絶縁膜7をCMP法により研磨して薄膜化し(図14)、層間絶縁膜7およびゲート絶縁膜材料2を残置しつつダミーゲート3Aを除去する(図15)。そして、ゲート絶縁膜材料2および層間絶縁膜7を覆うようにCVD法やスパッタ法等を用いてゲート電極材料8を形成し(図16)、ダミーゲート3Aの存在した部分にのみゲート電極材料8が残るように、エッチバックまたはCMP法を施して層間絶縁膜7上のゲート電極材料8を除去する(図17)。

【0031】また、図示しないが、不均一チャネル注入領域6のみならず活性領域5の形成をも省略してもよい。その場合は、半導体基板1の表面に活性領域4を形成する図3に示した工程の後、ゲート絶縁膜材料2およびダミーゲート3を覆うように半導体基板1の全面にCVD法やスパッタ法等を用いて層間絶縁膜7を形成し、ダミーゲート3の頂部が露出するまで層間絶縁膜7をCMP法により研磨して薄膜化し、層間絶縁膜7およびゲート絶縁膜材料2を残置しつつダミーゲート3を除去する。そして、ゲート絶縁膜材料2および層間絶縁膜7を覆うようにCVD法やスパッタ法等を用いてゲート電極材料8を形成し、ダミーゲート3の存在した部分にのみゲート電極材料8が残るように、エッチバックまたはCMP法を施して層間絶縁膜7上のゲート電極材料8を除去する。

【0032】なお、ゲート絶縁膜材料2、ダミーゲート材料3および層間絶縁膜7の材料は、シリコン酸化膜およびシリコン窒化膜に限定されるものではなく、エッチング選択性があればよい。ゲート絶縁膜材料2、ダミーゲート材料3および層間絶縁膜7の材料の組み合わせの一例を表1に示す。

【0033】

【表1】

| ゲート絶縁膜 2 | ダミーゲート 3 | 層間絶縁膜 7 |
|----------|-------------------|---------|
| シリコン酸化膜 | シリコン窒化膜 | シリコン酸化膜 |
| | ポリ/アモルファス シリコン | シリコン窒化膜 |
| | | シリコン酸化膜 |
| シリコン酸窒化膜 | ポリ/アモルファス シリコン | シリコン酸化膜 |
| | | シリコン窒化膜 |
| | シリコン酸化膜 | シリコン窒化膜 |
| 高誘電体膜 | シリコン窒化膜 | シリコン酸化膜 |
| | ポリ/アモルファス シリコン | シリコン酸化膜 |
| | | シリコン窒化膜 |
| | シリコン酸化膜 | シリコン窒化膜 |

【0034】ポリシリコンもしくはアモルファスシリコン、シリコン酸化膜並びにシリコン窒化膜はそれぞれ互いにエッチング選択性を有するので、表1に示すような組み合わせで各部分に用いることで、層間絶縁膜7およびゲート絶縁膜材料2を残置しつつダミーゲート3Bを除去することが可能となる。

【0035】なお、表1に示す通りシリコン酸窒化膜をゲート絶縁膜材料2に用いてもよい。その場合、シリコン酸窒化膜中の酸素と窒素の成分割合のうち窒素が多ければ表1に示すようにダミーゲート材料3にシリコン酸化膜を採用すればよいが、酸素が多ければダミーゲート材料3にシリコン窒化膜を採用し、層間絶縁膜7にシリコン酸化膜を採用してもよい。

【0036】また、可能であるならばシリコン窒化膜をゲート絶縁膜材料2に用いてもよい。その場合は、表1のうちシリコン酸窒化膜をゲート絶縁膜材料2に用いる場合と同様の材料をダミーゲート材料3および層間絶縁膜7に採用すればよい。

【0037】また、高誘電体膜をゲート絶縁膜材料2に用いてもよい。高誘電体膜としては、例えばタンタルオキサイド膜やPZT膜($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ を成分とする膜)等がある。これら高誘電体膜も、ポリシリコンもしくはアモルファスシリコン、シリコン酸化膜並び

にシリコン窒化膜に対しエッチング選択性を有するので、層間絶縁膜7およびゲート絶縁膜材料2を残置しつつダミーゲート3Bを除去することが可能である。

【0038】なお、本実施の形態にかかるMISFETの製造方法に類似した技術が、MESFETの製造方法において存在する。例えば、特開平6-342810号公報に記載のMESFETの製造方法が挙げられる。上記公報に記載の技術によれば、半導体基板上にフォトリソストを用いてダミーゲートを形成し、半導体基板への不純物注入工程およびダミーゲートのゲート長を減少させる工程を経て、ダミーゲートおよび半導体基板を覆うようにして絶縁膜を形成し、リフトオフ法によりダミーゲートとその直上の絶縁膜を除去し、ゲート電極材料を埋め込む、という方法である。

【0039】しかし、上記公報に記載の技術ではダミーゲート上の絶縁膜の除去にリフトオフ法を用いており、そのためにダミーゲートの型枠となる絶縁膜の膜厚をダミーゲートの高さよりも小さく(例えば半分程度に)しなければならないという制約がある。絶縁膜の膜厚が厚すぎるとダミーゲートおよびその直上の絶縁膜をうまく除去できないからである。本実施の形態にかかるMISFETの製造方法ではそのような制約はなく、ダミーゲートの高さを層間絶縁膜の膜厚と同じにすることがで

11

き、ダミーゲートを必要以上に高く形成しなくてもよい。

【0040】また、MESFETでは当然ながらゲート絶縁膜が存在しないので、本実施の形態にかかるMISFETの製造方法に用いられたゲート絶縁膜材料2のような膜は形成されない。しかし、ゲート絶縁膜材料2のような膜は、単にゲート絶縁膜として機能するだけでなく、プロセス途中における半導体基板への酸化等を防止する保護膜としても機能するので、上記の公報記載の技術を用いるよりも本実施の形態にかかるMISFETの製造方法を用いる方が、半導体基板の保護機能が優れている。

【0041】なお、上記公報に記載の技術のうち第3の実施例と称される技術によれば、ゲート絶縁膜材料としてではないものの、半導体基板の表面にSiN膜が形成されているので、その場合はこのSiN膜が半導体基板の保護機能を有するといえる。しかし、ゲート電極を形成するにはこのSiN膜は除去されるので、その除去の際に半導体基板のチャネル層に損傷を与える可能性がある。一方、本実施の形態にかかるMISFETの製造方法においては、ゲート絶縁膜材料2を除去することはないので、半導体基板1のチャネル層に対し損傷を与える可能性はほとんどない。

【0042】また、その他にも例えば特開平3-250741号公報に見られるように、本実施の形態にかかるMISFETの製造方法に類似したMESFETの製造方法も存在する。しかしこの場合も、上記のゲート絶縁膜材料2のような膜が形成されるという点で本実施の形態にかかるMISFETの製造方法の方が優れている。

【0043】本実施の形態にかかるMISFETの製造方法を用いれば、ゲート電極材料とゲート絶縁膜材料との間のエッチング選択性を考慮することなく、全体が金属膜からなるゲート電極を備えたMISFETを製造することが可能である。また、等方性エッチングによりダミーゲートのゲート長を減少させるので、ゲート長の正確な制御が可能である。また、ゲート絶縁膜とダミーゲートと、および層間絶縁膜とダミーゲートとが、それぞれ互いにエッチング選択性を有しているのでダミーゲートを除去する際に、層間絶縁膜およびゲート絶縁膜に対しダメージを与える可能性が少ない。また、ゲート絶縁膜が存在するために、ダミーゲートの除去の際に半導体基板に対しダメージを与えることがない。また、ダミーゲート上の層間絶縁膜の除去にリフトオフ法を用いないので、ダミーゲートの高さを層間絶縁膜の膜厚と同じにすることができ、ダミーゲートを必要以上に高く形成しなくてもよい。また、ゲート長の減少と不純物注入とを繰り返すので、濃度差の有る複数の活性領域および不均一チャネル注入領域を、半導体基板の表面のうちゲート電極を挟む場所に形成できる。

【0044】実施の形態2. 本実施の形態にかかるMISFET

12

SFETの製造方法は、実施の形態1にかかるMISFETの製造方法の変形例であり、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つゲート電極を形成する場合について説明するものである。この製造方法について図1、図2、図18～図24を用いて説明する。

【0045】まず、実施の形態1と同様、シリコン基板等の半導体基板1の表面に熱酸化法やCVD法、スパッタ法等を用いてゲート絶縁膜材料2とダミーゲート材料3とフォトレジスト10とをこの順に積層して形成する。そして、フォトリソグラフィ技術を用いてフォトレジスト10をパターニングし（図1）、フォトレジスト10をマスクとしてエッチングを行い、ダミーゲート材料3を整形してフォトレジスト10を除去する（図2）。

【0046】次に、等方性エッチングを行い、ダミーゲート3のゲート長を減少させてダミーゲート3Aを形成する（図18）。等方性エッチングによりダミーゲート3のゲート長を減少させるので、エッチング時間を調節することでゲート長の正確な制御が可能である。よって、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つゲート電極を形成することができる。

【0047】そして、ダミーゲート3Aをマスクとして不純物注入を行って半導体基板1の表面に、比較的濃度の高い活性領域4を自己整合的に形成する（図19）。その後、ゲート絶縁膜材料2およびダミーゲート3Aを覆うように半導体基板1の全面にCVD法やスパッタ法等を用いて層間絶縁膜7を形成する（図20）。

【0048】そして、ダミーゲート3Aの頂部が露出するまで層間絶縁膜7をCMP法により研磨して薄膜化し（図21）、層間絶縁膜7およびゲート絶縁膜材料2を残置しつつダミーゲート3Aを除去する（図22）。実施の形態1と同様、ダミーゲート3Aとゲート絶縁膜材料2および層間絶縁膜7とがエッチング選択性を有するようにしておけば、ダミーゲート3Aのみを除去することが可能である。

【0049】続いて、ゲート絶縁膜材料2および層間絶縁膜7を覆うようにCVD法やスパッタ法等を用いてゲート電極材料8を形成し（図23）、ダミーゲート3Aの存在した部分にのみゲート電極材料8が残るように、エッチバックまたはCMP法を施して層間絶縁膜7上のゲート電極材料8を除去する（図24）。

【0050】これにより、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つゲート電極を備えたMISFETが完成する。

【0051】なお、上記工程においては、実施の形態1における活性領域5および不均一チャネル注入領域6の形成を省略したが、もちろんこれらの領域を形成してもよい。その場合は、実施の形態1におけると同様、ダミ

13

ーゲート 3A のゲート長を減少させる工程と不純物注入工程とを繰り返せばよい。

【0052】また、ゲート絶縁膜材料 2、ダミーゲート材料 3 および層間絶縁膜 7 には、例えば実施の形態 1 と同様、表 1 に示す材料を用いればよい。

【0053】本実施の形態にかかる MISFET の製造方法を用いれば、実施の形態 1 にかかる MISFET の製造方法が有する効果を有しつつ、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つゲート電極を形成することができる。

【0054】実施の形態 3. 本実施の形態にかかる MISFET の製造方法も、実施の形態 1 にかかる MISFET の製造方法の変形例であり、T 字型のゲート電極を形成する場合について説明するものである。ゲート電極を T 字型にすれば上部のゲート長を大きくすることができるので、電気抵抗値が小さく、かつ上部においてコンタクトが取りやすいゲート電極を形成できる。この製造方法について図 25～図 35 を用いて説明する。

【0055】まず、シリコン基板等の半導体基板 1 の表面に熱酸化法や CVD 法、スパッタ法等を用いてゲート絶縁膜材料 2 とダミーゲート下部 3C となる材料とダミーゲート上部 9 となる材料とフォトレジストとをこの順に積層して形成する。そして、フォトリソグラフィ技術を用いてフォトレジストをパターニングし、フォトレジストをマスクとしてエッチングを行い、ダミーゲート下部 3C とダミーゲート上部 9 とを整形してフォトレジストを除去する(図 25)。なお、ゲート絶縁膜材料 2 には実施の形態 1 と同様、例えばシリコン酸化膜が採用される。また、ダミーゲート下部 3C にはゲート絶縁膜材料 2 に対しエッチング選択性を有する材料が採用される。ゲート絶縁膜材料 2 にシリコン酸化膜が採用される場合、ダミーゲート下部 3C には例えばシリコン窒化膜が採用される。また、ダミーゲート上部 9 にはダミーゲート下部 3C に対しエッチング選択性を有する材料が採用される。ダミーゲート下部 3C にシリコン窒化膜が採用される場合、ダミーゲート上部 9 には例えばポリシリコン膜が採用される。

【0056】次に、ダミーゲート上部 9 および下部 3C をマスクとして不純物注入を行って半導体基板 1 の表面に比較的濃度の高い活性領域 4 を自己整合的に形成する(図 26)。

【0057】続いてダミーゲート下部 3C に対してのみ等方性エッチングを行い、ダミーゲート下部 3C のゲート長を減少させてダミーゲート下部 3D を形成する(図 27)。ダミーゲート上部 9 にはダミーゲート下部 3C に対しエッチング選択性を有する材料が採用されるので、ダミーゲート下部 3C に対してのみ等方性エッチングを行うことが可能である。なお、等方性エッチングによりダミーゲート下部 3C のゲート長を減少させるので、エッチング時間を調節することでゲート長の正確な

14

制御が可能である。

【0058】そして、ダミーゲート上部 9 および下部 3D をマスクとして不純物注入を行って半導体基板 1 の表面に、活性領域 4 に比べて比較的濃度が低い活性領域 5 を自己整合的に形成する(図 28)。ただし、このとき半導体基板の真上から不純物注入を行っても、ダミーゲート上部 9 が邪魔になって活性領域 5 が LDD 領域として形成できないので、斜め回転注入法などを用いてダミーゲート下部 3D の端部と活性領域 4 の末端との間に活性領域 5 を形成する。

【0059】そしてさらに先と同様、ダミーゲート下部 3D に対してのみ等方性エッチングを行い、ダミーゲート下部 3D のゲート長をさらに減少させてダミーゲート下部 3E を形成する(図 29)。

【0060】そして、ダミーゲート上部 9 および下部 3E をマスクとして、先と同様、斜め回転注入法などを用いて不純物注入を行って、活性領域 4、5 とは逆の不純物特性を有する比較的濃度の高い不均一チャネル注入領域 6 を半導体基板 1 の表面に自己整合的に形成する(図 30)。

【0061】その後、ゲート絶縁膜材料 2 並びにダミーゲート上部 9 および下部 3E を覆うように半導体基板 1 の全面に CVD 法やスパッタ法等を用いて層間絶縁膜 7 を形成する(図 31)。層間絶縁膜 7 の材料には、ダミーゲート上部 9 および下部 3E の両者に対しエッチング選択性を有する材料が採用される。例えばダミーゲート下部 3E にシリコン窒化膜が採用され、ダミーゲート上部 9 にポリシリコン膜が採用される場合、層間絶縁膜 7 の材料にはシリコン酸化膜が採用される。

【0062】そして、ダミーゲート上部 9 の頂部が露出するまで層間絶縁膜 7 を CMP 法により研磨して薄膜化し(図 32)、層間絶縁膜 7 およびゲート絶縁膜材料 2 を残しつつダミーゲート上部 9 および下部 3E を除去する(図 33)。ダミーゲート下部 3E とゲート絶縁膜材料 2、並びにダミーゲート上部 9 および下部 3E と層間絶縁膜 7 とは先述のようにエッチング選択性を有しているため、ダミーゲート上部 9 および下部 3E のみを除去することが可能である。

【0063】続いて、ゲート絶縁膜材料 2 および層間絶縁膜 7 を覆うように CVD 法やスパッタ法等を用いてゲート電極材料 8 を形成し(図 34)、ダミーゲート上部 9 および下部 3E の存在した部分にのみゲート電極材料 8 が残るように、エッチバックまたは CMP 法を施して層間絶縁膜 7 上のゲート電極材料 8 を除去する(図 35)。

【0064】これにより、T 字型のゲート電極を備えた MISFET が完成する。

【0065】なお、上記工程において不均一チャネル注入領域 6 の形成を省略してもよい。その場合は、半導体基板 1 の表面に活性領域 5 を形成する図 28 に示した工

15

程の後、図 36～図 40 に示す工程を行えばよい。すなわち、図 28 に示した工程の後、ゲート絶縁膜材料 2 並びにダミーゲート上部 9 および下部 3D を覆うように半導体基板 1 の全面に CVD 法やスパッタ法等を用いて層間絶縁膜 7 を形成し（図 36）、ダミーゲート上部 9 の頂部が露出するまで層間絶縁膜 7 を CMP 法により研磨して薄膜化し（図 37）、層間絶縁膜 7 およびゲート絶縁膜材料 2 を残置しつつダミーゲート上部 9 および下部 3D を除去する（図 38）。そして、ゲート絶縁膜材料 2 および層間絶縁膜 7 を覆うように CVD 法やスパッタ法等を用いてゲート電極材料 8 を形成し（図 39）、ダミーゲート上部 9 および下部 3D の存在した部分にのみ*

16

*ゲート電極材料 8 が残るように、エッチバックまたは CMP 法を施して層間絶縁膜 7 上のゲート電極材料 8 を除去する（図 40）。

【0066】なお、ゲート絶縁膜材料 2、ダミーゲート上部 9 および下部 3C 並びに層間絶縁膜 7 の材料は、シリコン酸化膜、シリコン窒化膜およびポリシリコン膜に限定されるものではなく、上記のようなエッチング選択性があればよい。ゲート絶縁膜材料 2、ダミーゲート上部 9 および下部 3C 並びに層間絶縁膜 7 の材料の組み合わせの一例を表 2 に示す。

【0067】

【表 2】

| ゲート絶縁膜 2 | ダミーゲート下部 3C | ダミーゲート上部 9 | 層間絶縁膜 7 |
|----------|---------------|---------------|---------|
| シリコン酸化膜 | シリコン窒化膜 | ポリ/アモルファスシリコン | シリコン酸化膜 |
| | ポリ/アモルファスシリコン | シリコン酸化膜 | シリコン窒化膜 |
| | | シリコン窒化膜 | シリコン酸化膜 |
| シリコン酸窒化膜 | ポリ/アモルファスシリコン | シリコン酸化膜 | シリコン窒化膜 |
| | | シリコン窒化膜 | シリコン酸化膜 |
| | シリコン酸化膜 | ポリ/アモルファスシリコン | シリコン窒化膜 |
| 高誘電体膜 | シリコン窒化膜 | ポリ/アモルファスシリコン | シリコン酸化膜 |
| | ポリ/アモルファスシリコン | シリコン窒化膜 | シリコン酸化膜 |
| | | シリコン酸化膜 | シリコン窒化膜 |
| | シリコン酸化膜 | ポリ/アモルファスシリコン | シリコン窒化膜 |

【0068】ポリシリコンもしくはアモルファスシリコン、シリコン酸化膜並びにシリコン窒化膜はそれぞれ互いにエッチング選択性を有するので、表 2 に示すような組み合わせで各部分に用いることで、ダミーゲート上部 9 をエッチングせずにダミーゲート下部 3C をエッチングすること、そして、層間絶縁膜 7 およびゲート絶縁膜材料 2 を残置しつつダミーゲート上部 9 および下部 3C を除去することが可能となる。

【0069】なお、表 2 に示す通りシリコン酸窒化膜をゲート絶縁膜材料 2 に用いてもよい。その場合、シリコン酸窒化膜中の酸素と窒素の成分割合のうち窒素が多

ければ表 2 に示すようにダミーゲート下部 3C にシリコン酸化膜を採用すればよいが、酸素が多ければダミーゲート下部 3C にシリコン窒化膜を採用し、層間絶縁膜 7 にシリコン酸化膜を採用してもよい。

【0070】また、可能であるならばシリコン窒化膜をゲート絶縁膜材料 2 に用いてもよい。その場合は、表 2 のうちシリコン酸窒化膜をゲート絶縁膜材料 2 に用いる場合と同様の材料をダミーゲート上部 9 および下部 3C および層間絶縁膜 7 に採用すればよい。

【0071】また、高誘電体膜をゲート絶縁膜材料 2 に用いてもよい。

17

【0072】本実施の形態にかかるMISFETの製造方法を用いれば、実施の形態1にかかるMISFETの製造方法が有する効果を有しつつ、電気抵抗値が小さく、かつ上部においてコンタクトが取りやすいゲート電極を形成できる。また、等方性エッチングによりダミーゲート下部のゲート長を減少させるので、ゲート長の正確な制御が可能である。また、ゲート絶縁膜材料とダミーゲート下部と、並びに層間絶縁膜とダミーゲート上部および下部とが、それぞれ互いにエッチング選択性を有しているのでダミーゲートを除去する際に、層間絶縁膜およびゲート絶縁膜に対しダメージを与える可能性が少ない。また、ゲート絶縁膜が存在するので、ダミーゲートの除去の際に半導体基板に対しダメージを与えることがない。また、濃度差の有る複数の活性領域および不均一チャネル注入領域を、半導体基板の表面のうちゲート電極を挟む場所に形成できる。

【0073】実施の形態4. 本実施の形態にかかるMISFETの製造方法は、実施の形態3にかかるMISFETの製造方法の変形例であり、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つT字型のゲート電極を形成する場合について説明するものである。この製造方法について図25、図41～図47を用いて説明する。

【0074】まず、実施の形態3と同様、シリコン基板等の半導体基板1の表面に熱酸化法やCVD法、スパッタ法等を用いてゲート絶縁膜材料2とダミーゲート下部3Cとなる材料とダミーゲート上部9となる材料とフォトレジストとをこの順に積層して形成する。そして、フォトリソグラフィ技術を用いてフォトレジストをパターニングし、フォトレジストをマスクとしてエッチングを行い、ダミーゲート下部3Cとダミーゲート上部9とを整形してフォトレジストを除去する(図25)。

【0075】次に、ダミーゲート下部3Cに対してのみ等方性エッチングを行い、ダミーゲート下部3Cのゲート長を減少させてダミーゲート下部3Dを形成する(図41)。等方性エッチングによりダミーゲート下部3Cのゲート長を減少させるので、エッチング時間を調節することでゲート長の正確な制御が可能である。よって、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つゲート電極を形成することができる。

【0076】そして、ダミーゲート上部9および下部3Dをマスクとして斜め回転注入法などを用いて不純物注入を行って半導体基板1の表面に、比較的濃度の高い活性領域4を自己整合的に形成する(図42)。その後、ゲート絶縁膜材料2並びにダミーゲート上部9および下部3Dを覆うように半導体基板1の全面にCVD法やスパッタ法等を用いて層間絶縁膜7を形成する(図43)。

【0077】そして、ダミーゲート上部9の頂部が露出するまで層間絶縁膜7をCMP法により研磨して薄膜化

18

し(図44)、層間絶縁膜7およびゲート絶縁膜材料2を残置しつつダミーゲート上部9および下部3Dを除去する(図45)。実施の形態3と同様、ダミーゲート下部3Dとゲート絶縁膜材料2と、並びにダミーゲート上部9および下部3Dと層間絶縁膜7とがエッチング選択性を有するようにしておけば、ダミーゲート上部9および下部3Dのみを除去することが可能である。

【0078】続いて、ゲート絶縁膜材料2および層間絶縁膜7を覆うようにCVD法やスパッタ法等を用いてゲート電極材料8を形成し(図46)、ダミーゲート上部9および下部3Dの存在した部分にのみゲート電極材料8が残るように、エッチバックまたはCMP法を施して層間絶縁膜7上のゲート電極材料8を除去する(図47)。

【0079】これにより、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つT字型のゲート電極を備えたMISFETが完成する。

【0080】なお、上記工程においては、実施の形態3における活性領域5および不均一チャネル注入領域6の形成を省略したが、もちろんこれらの領域を形成してもよい。その場合は、実施の形態3におけると同様、ダミーゲート下部3Dのゲート長を減少させる工程と不純物注入工程とを繰り返せばよい。

【0081】また、ゲート絶縁膜材料2、ダミーゲート上部9および下部3D並びに層間絶縁膜7には、例えば実施の形態3と同様、表2に示す材料を用いればよい。

【0082】本実施の形態にかかるMISFETの製造方法を用いれば、実施の形態3にかかるMISFETの製造方法が有する効果を有しつつ、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つT字型のゲート電極を形成することができる。

【0083】

【発明の効果】この発明のうち請求項1にかかるMISFETの製造方法を用いれば、ゲート電極材料とゲート絶縁膜材料との間のエッチング選択性を考慮することなく、全体が金属膜からなるゲート電極を備えたMISFETを製造することができる。また、ダミーゲート上の層間絶縁膜の除去にリフトオフ法を用いないので、ダミーゲートの高さを層間絶縁膜の膜厚と同じにすることができ、ダミーゲートを必要以上に高く形成しなくてもよい。また、ゲート絶縁膜が存在するので、ダミーゲートの除去の際に半導体基板に対しダメージを与えることがない。

【0084】この発明のうち請求項2にかかるMISFETの製造方法を用いれば、ゲート絶縁膜とダミーゲートと、および層間絶縁膜とダミーゲートとが、それぞれエッチング選択性を持つようにすることができるのでダミーゲートを除去する際に、層間絶縁膜およびゲート絶縁膜に対しダメージを与える可能性が少ない。

【0085】この発明のうち請求項3にかかるMISF

19

ETの製造方法を用いれば、LDD領域として機能する活性領域または不均一チャネル注入領域を、半導体基板の表面のうちゲート電極を挟む場所に形成できる。また、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つゲート電極を備えたMISFETを製造することができる。

【0086】この発明のうち請求項4にかかるMISFETの製造方法を用いれば、等方性エッチングによりダミーゲートのゲート長を減少させるので、ゲート長の正確な制御が可能である。また、ゲート絶縁膜とダミーゲートと、および層間絶縁膜とダミーゲートとが、それぞれエッチング選択性を持つようにすることができるので、ダミーゲートを除去する際に、層間絶縁膜およびゲート絶縁膜に対しダメージを与える可能性が少ない。

【0087】この発明のうち請求項5にかかるMISFETの製造方法を用いれば、電気抵抗値が小さく、かつ上部においてコンタクトが取りやすいゲート電極を備えるMISFETを製造することが可能である。

【0088】この発明のうち請求項6にかかるMISFETの製造方法を用いれば、等方性エッチングによりダミーゲートの下部のゲート長を減少させるので、ゲート長の正確な制御が可能である。また、ゲート絶縁膜とダミーゲートの下部と、並びに層間絶縁膜とダミーゲートの上部および下部とが、それぞれエッチング選択性を持つようにすることができるので、ダミーゲートを除去する際に、層間絶縁膜およびゲート絶縁膜に対しダメージを与える可能性が少ない。

【0089】この発明のうち請求項7にかかるMISFETの製造方法を用いれば、濃度差の有る複数の活性領域および不均一チャネル注入領域を、半導体基板の表面のうちゲート電極を挟む場所に形成できる。

【図面の簡単な説明】

【図1】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図2】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図3】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図4】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図5】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図6】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図7】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図8】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図9】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

20

【図10】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図11】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図12】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図13】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図14】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図15】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図16】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図17】 実施の形態1にかかるMISFETの製造方法の各段階を示す断面図である。

【図18】 実施の形態2にかかるMISFETの製造方法の各段階を示す断面図である。

【図19】 実施の形態2にかかるMISFETの製造方法の各段階を示す断面図である。

【図20】 実施の形態2にかかるMISFETの製造方法の各段階を示す断面図である。

【図21】 実施の形態2にかかるMISFETの製造方法の各段階を示す断面図である。

【図22】 実施の形態2にかかるMISFETの製造方法の各段階を示す断面図である。

【図23】 実施の形態2にかかるMISFETの製造方法の各段階を示す断面図である。

【図24】 実施の形態2にかかるMISFETの製造方法の各段階を示す断面図である。

【図25】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図26】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図27】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図28】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図29】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図30】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図31】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図32】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図33】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図34】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

21

【図35】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図36】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図37】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図38】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図39】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

【図40】 実施の形態3にかかるMISFETの製造方法の各段階を示す断面図である。

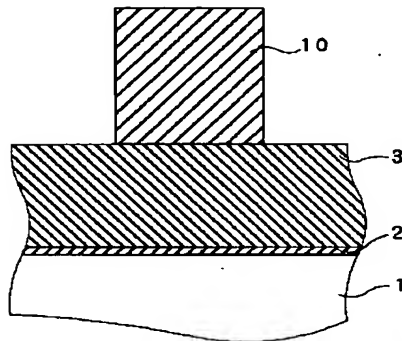
【図41】 実施の形態4にかかるMISFETの製造方法の各段階を示す断面図である。

【図42】 実施の形態4にかかるMISFETの製造方法の各段階を示す断面図である。

【図43】 実施の形態4にかかるMISFETの製造方法の各段階を示す断面図である。

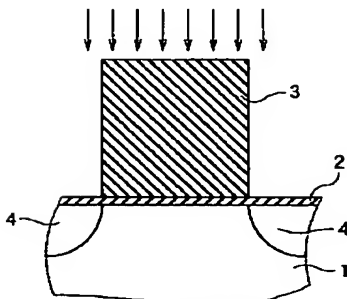
【図44】 実施の形態4にかかるMISFETの製造*

【図1】



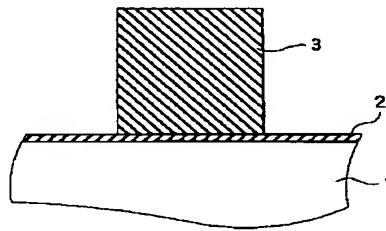
1 : 半導体基板 2 : ゲート絶縁膜材料
3 : ダミーゲート材料 10 : フォトリソグ

【図3】

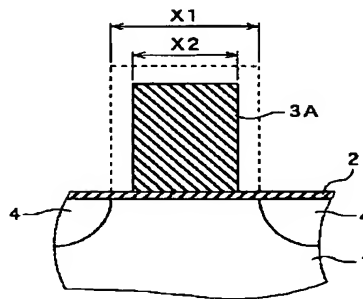


4 : 活性領域

【図2】



【図4】



22

*方法の各段階を示す断面図である。

【図45】 実施の形態4にかかるMISFETの製造方法の各段階を示す断面図である。

【図46】 実施の形態4にかかるMISFETの製造方法の各段階を示す断面図である。

【図47】 実施の形態4にかかるMISFETの製造方法の各段階を示す断面図である。

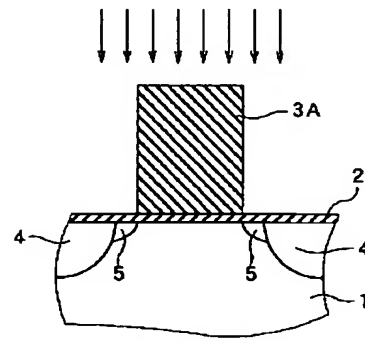
【図48】 従来の技術を用いたMISFETの製造方法の各段階を示す断面図である。

10 【図49】 従来の技術を用いたMISFETの製造方法の各段階を示す断面図である。

【符号の説明】

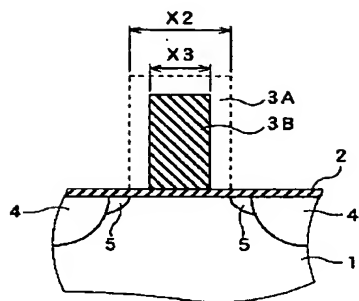
1 半導体基板、2 ゲート絶縁膜材料、3 ダミーゲート材料、3A、3Bダミーゲート、3C、3D、3E ダミーゲート下部、4、5 活性領域、6不均一チャネル注入領域、7 層間絶縁膜、8 ゲート電極材料、9 ダミーゲート上部、10 フォトリソグ、X1、X2、X3 ゲート長。

【図5】

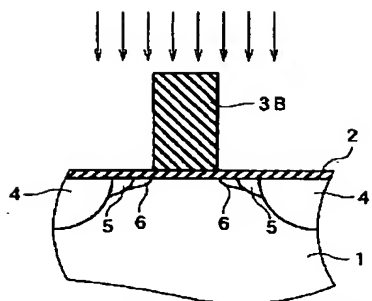


5 : 活性領域

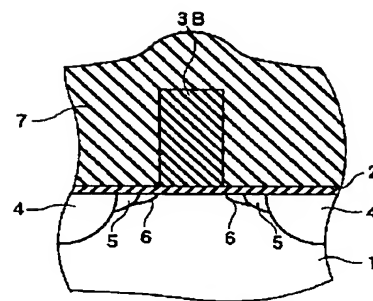
【図6】



【図7】



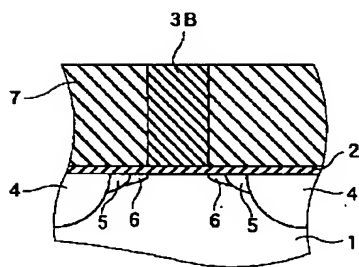
【図8】



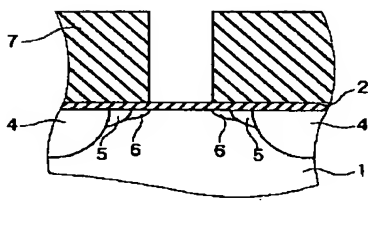
6 : 不均一チャネル注入領域

7 : 層間絶縁膜

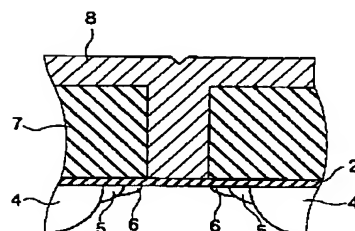
【図9】



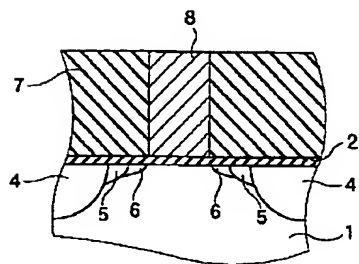
【図10】



【図11】

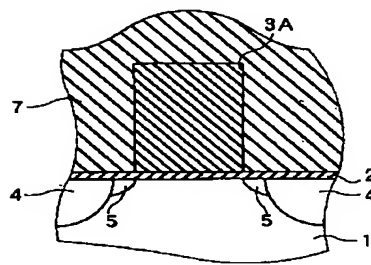


【図12】

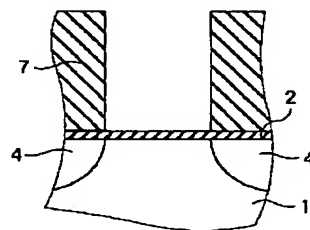


8 : ゲート電極材料

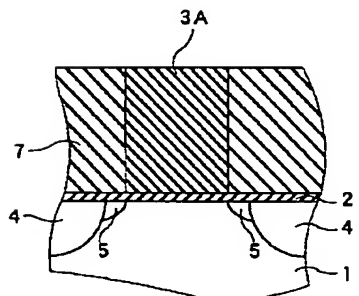
【図13】



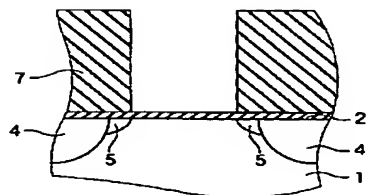
【図22】



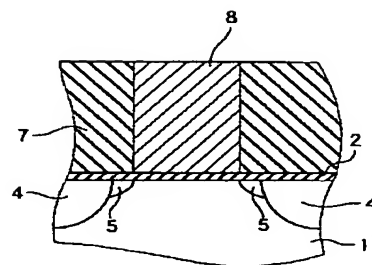
【図14】



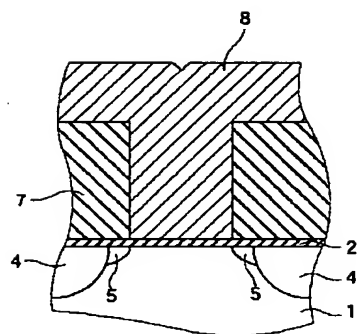
【図15】



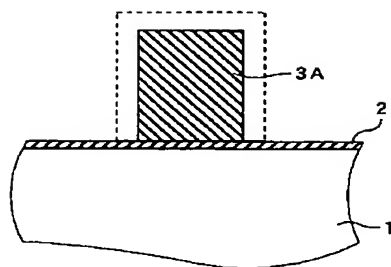
【図17】



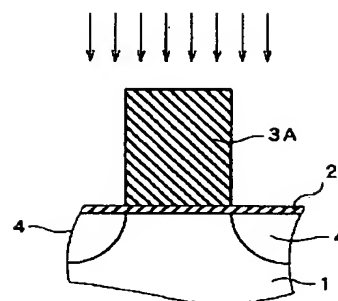
【図16】



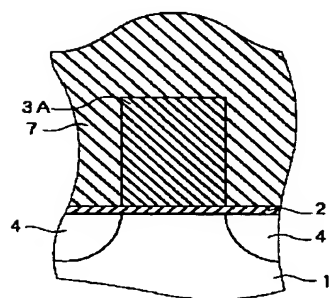
【図18】



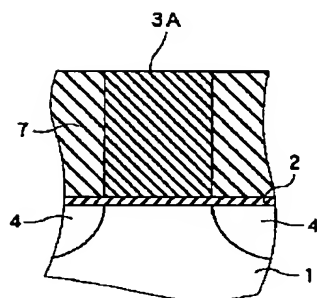
【図19】



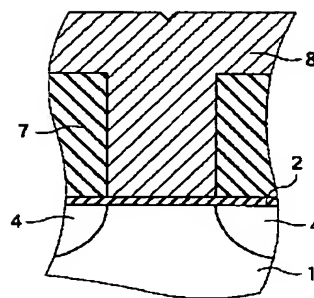
【図20】



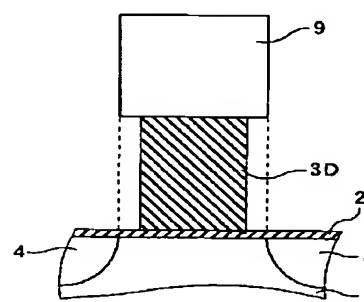
【図21】



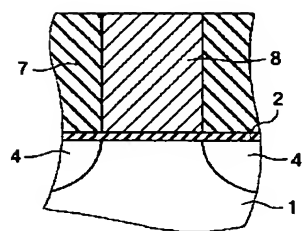
【図23】



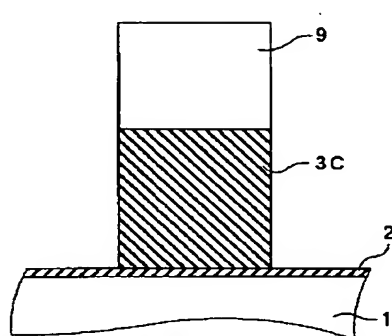
【図27】



【図24】

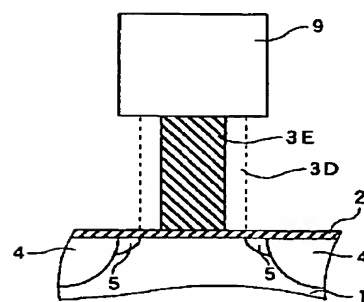


【図25】

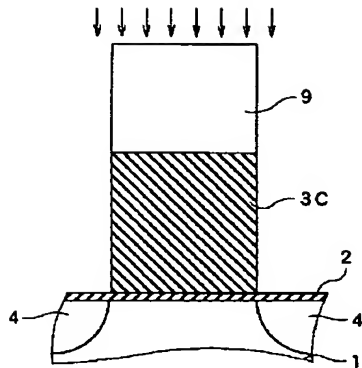


3C : ダミーゲート下部 9 : ダミーゲート上部

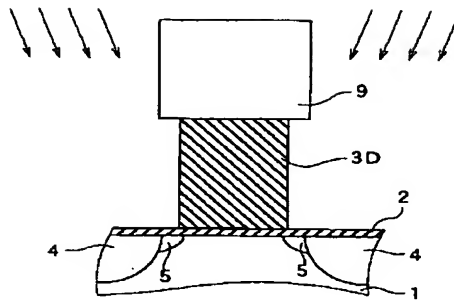
【図29】



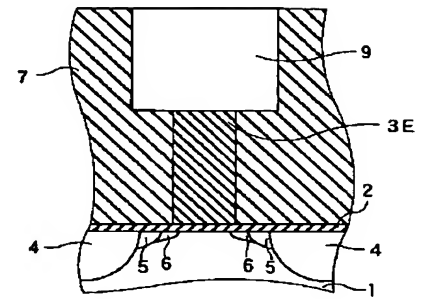
【図 26】



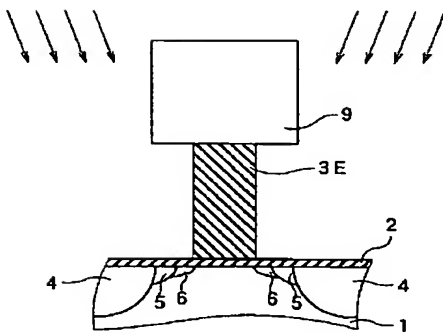
【図 28】



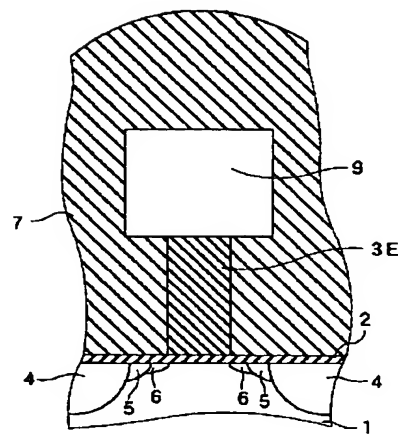
【図 32】



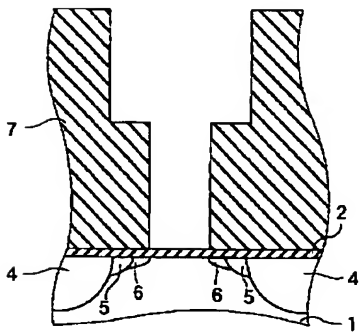
【図 30】



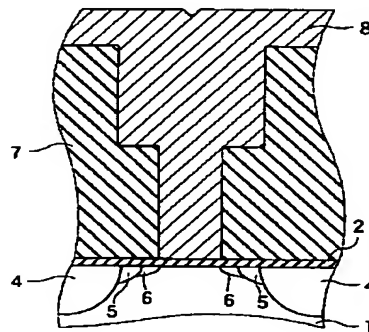
【図 31】



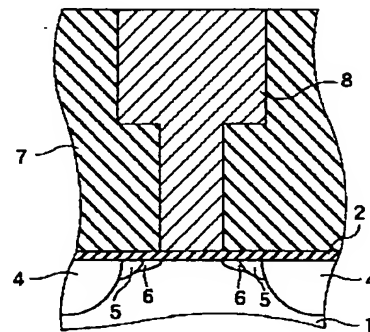
【図 33】



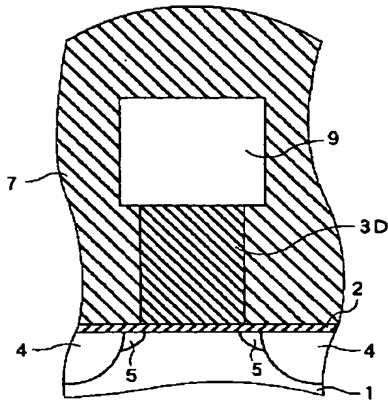
【図 34】



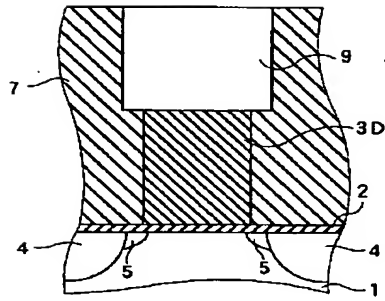
【図 35】



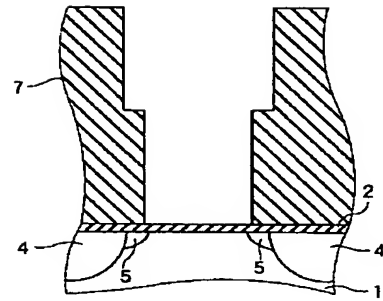
【図36】



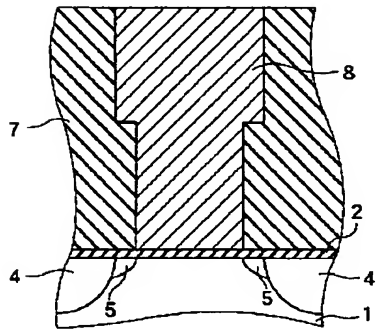
【図37】



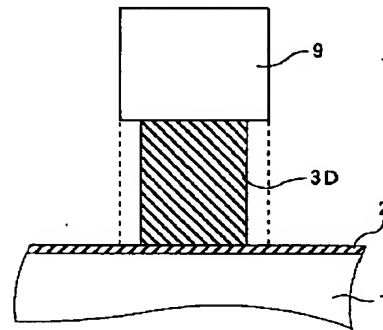
【図38】



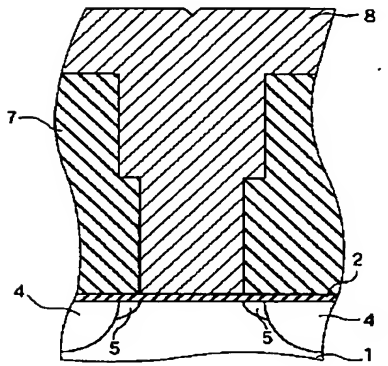
【図40】



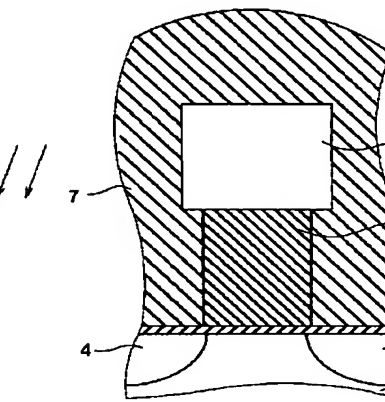
【図41】



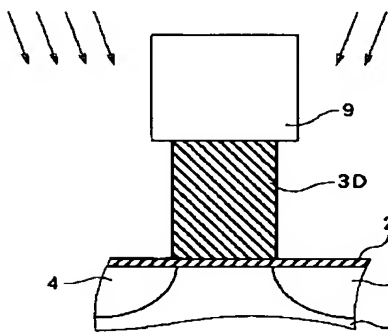
【図39】



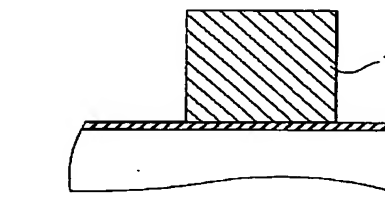
【図43】



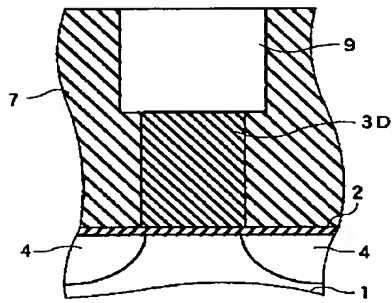
【図42】



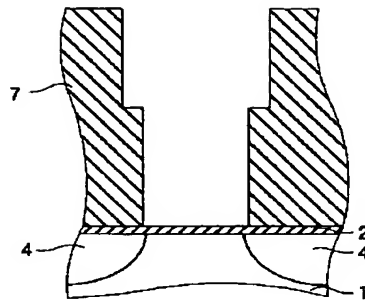
【図49】



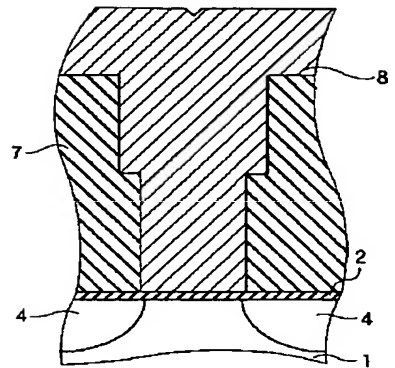
【図 44】



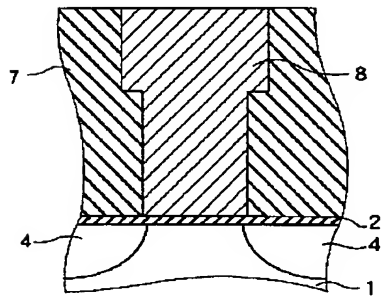
【図 45】



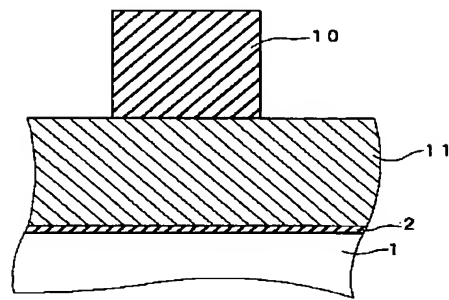
【図 46】



【図 47】



【図 48】



フロントページの続き

(72) 発明者 尾田 秀一
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

Fターム(参考) 5F040 DC01 EA01 EA02 EC04 EC07
EC08 EC10 EC19 ED03 EF02
EM01 EM02 FB03 FC00 FC10
FC11 FC13 FC22 FC23